1 9 2004 PTO/SB/21 (09-04)
Approved for use through 07/31/2006. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE perwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number. **Application Number** 10/711,442 TRANSMITTAL Filing Date 9/19/2004 First Named Inventor **FORM** Yi-Shu Chang Art Unit **Examiner Name** (to be used for all correspondence after initial filing) Attorney Docket Number REAP0045USA Total Number of Pages in This Submission **ENCLOSURES** (Check all that apply) After Allowance Communication to TC 1 Fee Transmittal Form Drawing(s) Appeal Communication to Board Licensing-related Papers Fee Attached of Appeals and Interferences Appeal Communication to TC Petition Amendment/Reply (Appeal Notice, Brief, Reply Brief) Petition to Convert to a **Provisional Application** Proprietary Information After Final Power of Attorney, Revocation Status Letter Affidavits/declaration(s) Change of Correspondence Address Other Enclosure(s) (please Identify Terminal Disclaimer **Extension of Time Request** below): Request for Refund **Express Abandonment Request** CD, Number of CD(s) __ Information Disclosure Statement Landscape Table on CD Certified Copy of Priority Remarks Document(s) Reply to Missing Parts/ Incomplete Application Reply to Missing Parts under 37 CFR 1.52 or 1.53 SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT Firm Name North America Intellectual Property Corp. Signature Wenton bar Printed name Winston Hsu Reg. No. Date 41,526 11/17/2004

CERTIFICATE OF TRANSMISSION/MAILING I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below: Signature Date

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and1.14. This collection is estimated to 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

NOV 1 9 2004 EN PROPERTY OF THE PROPERTY REduction Act of 1995, no persons are required to reduce the property of the property

PTO/SB/17 (10-04)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
to a collection of information unless it displays a valid OMB control purely.

FEE TRANSMITTAL for FY 2005

Effective 10/01/2004. Patent fees are subject to annual revision.

___ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT

/ @ \	0.00
(JD)	0.00

espond to a collection of info	ormation unless it displays a valid OMB control number.	
Complete if Known		
Application Number	10/711,442	
Filing Date	9/19/2004	
First Named Inventor	Yi-Shu Chang	
Examiner Name		
Art Unit		
Attorney Docket No.	REAP0045USA	

Check Credit card Money Other None 3. ADDITIONAL FEES				
	3. ADDITIONAL FEES			
Order Large Entity Small Entity Deposit Account:				
Fee Fee Fee Fee Fee Description				
Account 50-3105	e Paid			
Deposit Land America Late University Company C				
Account Name Name Cover sheet				
The Director is authorized to: (check all that apply)				
Charge fee(s) indicated below Credit any overpayments 1812 2,520 1812 2,520 For filing a request for ex parte reexamination				
Charge any additional fee(s) or any underpayment of fee(s) 1804 920* Requesting publication of SIR prior to Examiner action				
Charge fee(s) indicated below, except for the filing fee 1805 1,840° 1805 1,840° Requesting publication of SIR after				
to the above-identified deposit account.				
FEE CALCULATION 1251 110 2251 55 Extension for reply within first month				
1. BASIC FILING FEE				
Large Entity Small Entity 1253 980 2253 490 Extension for reply within third month Fee Fee Fee Fee Fee Description Fee Paid 1254 1 530 2254 765 Extension for reply within fourth month				
Code (\$) Code (\$)				
1001 790 2001 395 Utility filing fee 1255 2,080 2255 1,040 Extension for reply within fifth month				
1002 350 2002 175 Design filing fee 1401 340 2401 170 Notice of Appeal				
1003 550 2003 275 Plant filing fee 1402 340 2402 170 Filing a brief in support of an appeal				
1004 790 2004 395 Reissue filing fee 1403 300 2403 150 Request for oral hearing				
1005 160 2005 80 Provisional filing fee 1451 1,510 1451 1,510 Petition to institute a public use proceeding				
SUBTOTAL (1) (\$) 0.00 1452 110 2452 55 Petition to revive - unavoidable				
2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE				
Fee from 1301 1,370 2301 665 Utility issue fee (or reissue)				
Total Claims				
Independent 200 200 200 100 100 100 100 100 100 100				
Multiple Dependent				
1807 50 1807 50 Processing fee under 37 CFR 1.17(q)				
Large Entity Small Entity Fee Fee Fee Description 1806 180 1806 180 Submission of Information Disclosure Stmt				
Code (\$) Code (\$) 8021 40 8021 40 Recording each patent assignment per	1			
1202 18 2202 9 Claims in excess or 20 1809 790 2809 395 Filing a submission after final rejection				
1201 88 2201 44 Independent claims in excess of 3 (37 ČFR 1.129(a))				
1203 300 2203 150 Multiple dependent claim, if not paid 1810 790 2810 395 For each additional invention to be examined (37 CFR 1.129(b))				
1204 88 2204 44 ** Reissue independent claims over original patent 1801 790 2801 395 Request for Continued Examination (RCE)				
1205 18 2205 9 ** Reissue claims in excess of 20 1802 900 1802 900 Request for expedited examination of a design application				
SUBTOTAL (2) (\$) 0.00 Other fee (specify) **or number previously paid, if greater; For Reissues, see above **Geduced by Basic Filing Fee Paid SUBTOTAL (3) (\$) 0.00				

SUBMITTED BY				(Complete (if applicable))
Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	302-729-1562
Signature	Winten ban			Date	11/17/2004

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



PTO/SB/02B (09-04)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE U.S. DEPARTMENT OF COMMERCE OF THE Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number

DECLARATION – Supplemental Priority Data Sheet

Foreign applications:				
Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached? YES NO
092134816	Taiwan R.O.C.	12/10/2003		
·				
·				

This collection of information is required by 35 U.S.C. 115 and 37 CFR 1.63. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 21 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE MINISTRY OF ECONOMIC AFFAIRS REPUBLIC OF CHINA

BEST AVAILABLE COPY

茲證明所附文件,係本局存檔中原申請案的副本,正確無訛,其申請資料如下:

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日: 西元 2003 年 12 月 10 日

Application Date

인도 인도 인도 인도 인도 인도 인도 인도

中 請 案 號 : 092134816 PRIORITY DOCUMENT

Application No.

申 請 人: 瑞昱半導體股份有限公司

Applicant(s)

局 長

Director General

祭練生

發文日期: 西元 2004 年 1 月

Issue Date

發文字號: 09320071500

Serial No.



이면 되면 되면

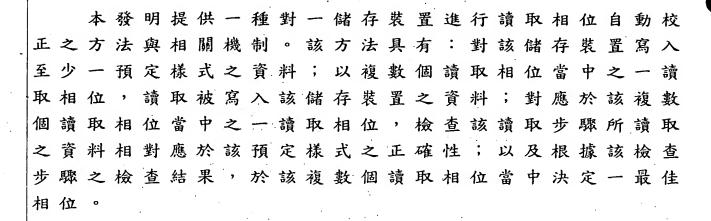
申請日期:	IPC分類	
申請案號:		

以上各欄	由本局填	發明專利說明書
	中文	儲存裝置讀取相位自動校正方法與相關機制
發明名稱	英文	METHOD OF STORAGE DEVICE READ PHASE AUTO-CALIBRATION AND RELATED MECHANISM
		1. 張義樹 2. 湯森煌
=		1. CHANG, YI-SHU 2. TANG, SENG-HUANG
發明人 (共2人)	國籍(中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所(中文)	 台南市西區中正里正興街六一巷十四號 宜蘭縣羅東鎮北成街五十六號
	住居所 (英 文)	1. No. 14, Lane 61, Cheng-Hsing St., Jong-Jeng Li, West District, Tai-Nan City 703, Taiwan, R.O.C. 2. No. 56, Bei-Cheng St., Luo-Dong Town, I-Lan Hsien 265, Taiwan,
		1. 瑞昱半導體股份有限公司
	名稱或 姓 名 (英文)	1. REALTEK SEMICONDUCTOR CORP.
	國 籍 (中英文)	1. 中華民國 TW
申請人 (共1人)	住居所 (營業所) (中 文)	1. 新竹縣新竹科學園區工業東九路二號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.2 Industry E. Rd. IX, Science-Based Industrial Park, Hsin-Chu Hsien, Taiwan, R.O.C.
	代表人(中文)	1. 禁博任
	代表人(英文)	1. YEH, PO-LEN





四、中文發明摘要 (發明名稱:儲存裝置讀取相位自動校正方法與相關機制)



五、英文發明摘要 (發明名稱:METHOD OF STORAGE DEVICE READ PHASE AUTO-CALIBRATION AND RELATED MECHANISM)

The present invention provides a method for performing read phase auto-calibration of a storage device and provides a related mechanism. The method includes: writing data of at least one predetermined pattern into the storage device, reading the data written into the storage device using a read phase of a plurality of read phases, checking correctness of the data read by the





四、中文發明摘要 (發明名稱:儲存裝置讀取相位自動校正方法與相關機制)

五、英文發明摘要 (發明名稱:METHOD OF STORAGE DEVICE READ PHASE AUTO-CALIBRATION AND RELATED MECHANISM)

reading step according to the predetermined pattern in accordance with a read phase of the plurality of read phases, and determining a best phase from the plurality of read phases according to the checking result of the checking step.



六、指定代表圖

- (一)、本案代表圖為:第一圖
- (二)、本案代表圖之元件代表符號簡單說明(第一圖係為流程圖)



一、本案已向 國家(地區)申請專利 申請日期 案號 主張專利法第二十四條第一項係 無 二、□主張專利法第二十五條之一第一項優先權: 申請案號: 無 日期: 三、主張本案係符合專利法第二十條第一項□第一款但書或□第二款但書規定之期間 日期: 四、□有關微生物已寄存於國外: 寄存國家: 寄存機構: 寄存日期: 寄存號碼: □有關微生物已寄存於國內(本局所指定之寄存機構): 寄存機構: 無 寄存日期: 寄存號碼: □熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

【技術領域】

本發明有關於一種儲存裝置,尤指一種儲存裝置讀取相位校正方法與相關機制。

【先前技術】

對一儲存裝置(如一動態隨機存取記憶體——DRAM、Dynamic Random Access Memory)之讀取過程中,通常需要一參考訊號(如 DQS訊號)作為鎖存(latch)一資料訊號的資料流之依據。該參考訊號經過一比較器與一延遲鏈(delay chain)可轉換為上述鎖存資料流過程所需的觸發訊號,而該觸發訊號通常為該延遲鏈之至少一標準延遲單元(standard delay cell)當中之一標準延遲單元之輸出訊號。其中每一標準延遲單元之輸出訊號 對應於一讀取相位。例如在一具有四個標準延遲單元之經鏈中,該等標準延遲單元之輸出端依序能夠輸出 90度、180度、270度、360度之讀取相位所對應之觸發訊號。

相對於該參考訊號讀取儲存於該儲存裝置之資料之讀取相位係為固定相位。也就是說應用該儲存裝置作為一元件之系統生產者,於設計之初必須透過相關量測及試誤實驗,由該等標準延遲單元之輸出端當中決定一輸





五、發明說明 (2)

出端輸出該觸發訊號,以決定該儲存裝置適用之讀取相位。因此在產品之設計過程會耗費許多時間、人力、與材料成本,當該等產品於量產階段發生問題時,亦必須耗費時間、人力、與材料成本對每一產品之印刷電路板逐一修正(rework)以修改其對該儲存裝置之讀取相位。

【內容】

因此本發明之主要目的在於提供一種儲存裝置讀取相位校正方法與相關機制,以解決上述問題。

本發明提供一種對一儲存裝置進行讀取相位校正之方法,該方法具有:對該儲存裝置寫入至少一預定樣式(predetermined pattern)之資料;以複數個讀取相位當中之一讀取相位,讀取被寫入該儲存裝置之資料;對應於該複數個讀取相位當中之一讀取相位,檢查該讀取步驟所讀取之資料相對應於該預定樣式之正確性;以及根據該檢查步驟之檢查結果,於該複數個讀取相位當中決定一較佳相位。

本發明於提供上述方法之同時,亦對應地提供一種對一儲存裝置進行讀取相位自動校正之電路,該電路具有:一控制單元,耦合至該儲存裝置,用來於複數個讀





五、發明說明 (3)

取相位當中決定一較佳相位,並根據該較佳相位輸出一多工選擇訊號;一延遲鏈,用來產生至少一延遲訊號; 以及一多工器,耦合至該控制單元與該延遲鏈,用來根據該多工選擇訊號於該延遲鏈所產生之延遲訊號當中多工選擇(multiplexing)一延遲訊號,以鎖存(latch)該儲存裝置所輸出之資料流。該多工器另能夠根據該多工選擇訊號多工選擇該延遲鏈之輸入訊號作為該多工器之輸出訊號。

本發明之方法能夠進行讀取相位之校正,因此能節省產品之設計過程之時間、人力、與材料成本。

由於,本發明之方法能夠進行讀取相位自動校正,故無須對每一產品之印刷電路板逐一修正(rework)以修改其對該儲存裝置之讀取相位。

【實施方法】

請同時參考圖一與圖二,圖一為本發明儲存裝置讀取相位校正方法之一實施例之流程示意圖,圖二為圖一之實施例之方法之相關元件之示意圖。本發明之實施例提供一種對一儲存裝置(於本實施例係DDR、Double Data Rate記憶體為例,未顯示於相關圖示)進行讀取相位校正之方法。其中步驟 10、20、30、與40皆於圖二之





五、發明說明 (4)

控制單元 210中進行。以下步驟之順序並非限定本發明之範圍,本實施例之方法說明如下。

步驟 10:對該儲存裝置寫入至少一預定樣式 (predetermined pattern)之資料;

步驟 20:以複數個(於本實施例係十六個)讀取相位當中之一讀取相位,讀取被寫入該儲存裝置之資料,其中該複數個讀取相位係為相對於一參考訊號(reference signal)讀取儲存於該儲存裝置之資料之讀取相位,該參考訊號係為一頻閃訊號(strobe signal)或一時脈訊號;

步驟 30: 對應於該複數個讀取相位當中之一讀取相位, 檢查該讀取步驟所讀取之資料相對應於該預定 樣式之正確性;

步驟 40: 根據該檢查步驟之檢查結果,於該複數個讀取相位當中決定一較佳相位;以及

步驟 50: 根據該較佳相位,以多工器 230多工選擇至少一延遲鏈(delay chain) 220之至少一標準延遲單元(standard delay cell,於圖二中係十五個標準延遲單元 101、102、103、……、15)當中之一標準延遲單元之輸出端或輸入端之訊號作為鎖存(latch)該儲存裝置所輸出之資料流之觸發訊號 TRIG,以於該最佳相位讀取儲存於該儲存裝置之資料。





五、發明說明 (5)

步驟 10之至少一預定樣式係為一個十六進位數 5或 a,即一個二進位數 0101或 1010。於本實施例中,步驟 10 之至少一預定樣式係為一個十六進位數 5a或 a5,即一個 二進位數 01011010或 10100101。例如重複四次進行步驟 10可分别對位址 0、1寫入 5a5a5a5a、a5a5a5a5。則步驟 20可針對十六個相位 n(n=15、14、……、0,其對應之 時 脈 CK=32-(n/2)*4+2+1) 自 位 址 0、 1讀 取、被 寫 入 該 儲 存 裝置之至少一預定樣式之資料。而步驟 30再檢查步驟 20 所讀取之資料是否與步驟 10之至少一預定樣式 5a或 a5吻 合, 其檢查結果可儲存於二維陣列 Result[m][n](m=3、 2、1、0,分别對應於步驟 10重複四次當中的一次資料 5a 或 a5) , 其 中 檢 查 結 果 Result[m][n]=1代 表 資 料 正 確 , 檢 查 結 果 Result[m][n]=0代 表 資 料 有 誤 。 步 驟 40係 於 該 十六個讀取相位當中無讀取錯誤之連續相位中決定一中 間相位作為該較佳相位。而該中間相位係為該等無讀取 錯誤之連續相位當中位於排列順序之正中央或近似正中 央之相位。例如當對應之相位 n =15、14、……、 0之檢 查 結 果 Result[m][n]之序 列 Result[m][15:0] = 00001111110000000, 則該等無讀取錯誤之連續相位 n= 11、10、9、8、7當中位於排列順序之正中央或近似正中 央之相位 n=9即為該最佳相位 Best_phase。對應運算可定 義起始點 start_pt為序列 Result[m][15:0]當中 11開始出 現處 n=11, 並定義結束點 end_pt為序列 Result[m][15:0]





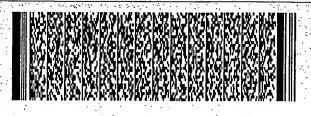
五、發明說明 (6)

當中 110開始出現處 n=7, 因此最佳相位 Best_phase = start_pt + (end_pt - start_pt) / 2 = (start_pt + end_pt) / 2 = (11+7)/2 = 9。

於本實施例中,該儲存裝置係為一動態隨機存取記憶體,並且該參考訊號係為一 DQS訊號。 DQS訊號經過一比較器轉換為一觸發訊號 TD0。而控制單元 210所輸出之多工選擇訊號 SEL之狀態能夠對應於該複數個讀取相位,亦對應於觸發訊號 TD0與延遲後之觸發訊號 TD1、 TD2、TD3、……、 TD15,因此步驟 50係根據多工選擇訊號 SEL所代表之最佳相位由觸發訊號 TD0、 TD1、 TD2、 TD3、……、 TD15選擇其中之一作為觸發訊號 TRIG。

請再度參考圖二。本實施例於提供上述方法之同時,亦對應地提供一種對一儲存裝置(未顯示於相關圖示)進行讀取相位自動校正之電路,在本實施例中,該電路包含有:一控制單元 210(於本實施例係為一數位訊號處理器或一韌體),耦合至該儲存裝置,用來於複數個讀取相位當中決定一最佳相位,並根據該較佳相位輸出一多工選擇訊號 SEL;一延遲鏈 220,用來產生至少一延遲訊號 (即前述之觸發訊號 TD0、TD1、TD2、TD3、……、TD15);以及一多工器 230,耦合至控制單元 210與延遲鏈 220,用來根據多工選擇訊號 SEL於延遲鏈 220所產生之延遲訊號當中多工選擇 (multiplexing)一延遲





五、發明說明 (7)

訊號,以鎖存(latch)該儲存裝置所輸出之資料流。於本實施例中,多工器230另能夠根據多工選擇訊號SEL多工選擇延遲鏈220之輸入訊號TDO作為多工器230之輸出訊號TRIG。

以上所述僅為本發明之較佳實施例,凡依本發明申請專利範圍所做之均等變化與修飾,皆應屬本發明專利的涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為本發明儲存裝置讀取相位自動校正方法之流程示意圖。

圖二為圖一之方法之相關元件之示意圖。

圖式之符號說明

101, 102, ……, 115 標準延遲單元

210 控制單元

220 延遲鏈

230 多工器

DQS, VREF, TDO, TD1, … … , TD15, SEL, TRIG 訊號



六、申請專利範圍

1.一種對一儲存裝置進行讀取相位校正之方法,該方法包含有:



對該儲存裝置寫入至少一預定樣式 (predetermined pattern) 之資料;

以複數個相位當中之一相位,讀取該儲存裝置之資料;

比較所讀取之資料與該預定樣式之資料;以及根據該比較結果,於該複數個相位當中決定一讀取相位。

- 2.如申請專利範圍第 1項所述之方法,其中該複數個相位係為相對於一參考訊號 (reference signal)。
- 3.如申請專利範圍第2項所述之方法,其中該參考訊號 係為一頻閃訊號 (strobe signal)或一時脈訊號。
- 4.如申請專利範圍第2項所述之方法,其中該儲存裝置係為一動態隨機存取記憶體(DRAM),並且該參考訊號係為一DQS訊號。
- 5.如申請專利範圍第1項所述之方法,其中該儲存裝置係為一記憶體。
- 6.如申請專利範圍第5項所述之方法,其中該儲存裝置



六、申請專利範圍

係為 - DDR(Double Data Rate) 記憶體。

- 7.如申請專利範圍第 1項所述之方法,其中該寫入步驟之至少一預定樣式係為一個十六進位數 5或 a,即一個二進位數 0101或 1010。
- 8.如申請專利範圍第7項所述之方法,其中該寫入步驟之至少一預定樣式係為一個十六進位數 5a或 a5,即一個二進位數 01011010或 10100101。
- 9.如申請專利範圍第1項所述之方法,其中該讀取步驟係讀取被寫入該儲存裝置之至少一預定樣式之資料。
- 10.如申請專利範圍第1項所述之方法,其中該比較步驟係比較該所讀取之資料是否與該預定樣式之資料相同。
- 11.如申請專利範圍第 1項所述之方法,其中該決定步驟 係於該複數個相位當中讀取正確之相位中決定一相位 作為該讀取相位。
- 12.如申請專利範圍第11項所述之方法,其中該決定步驟 係於該複數個讀取相位當中讀取正確之連續相位中位 於正中央或近似正中央之相位作為該讀取相位。



六、申請專利範圍

13.一種電路用以對一儲存裝置進行讀取相位校正,該電路包含有:

- 一控制單元,耦合至該儲存裝置,用來於複數個相 位當中決定一讀取相位,並根據該讀取相位輸出 一選擇訊號;
- 一延遲鏈,用來產生複數個相位信號;以及
- 一多工器,耦合至該控制單元與該延遲鏈,用來根據該選擇訊號,於複數個相位當中選擇輸出一讀取相位。
- 14.如申請專利範圍第13項所述之電路,其中該控制單元係為一數位訊號處理器。
- 15.如申請專利範圍第13項所述之電路,其中該控制單元包括一韌體。



